

12-GHz 0.25 μ m CMOS 1:2 动态分频器

王 欢 王志功 冯 军 朱 恩 陆建华 陈海涛 谢婷婷 熊明珍 章 丽

(东南大学射频与光电集成电路研究所 南京 210096)

摘 要 基于 D 触发器的电路结构,采用 TSMC 0.25 μ m CMOS 工艺,成功地实现了 12GHz 1:2 动态分频器。经测试,该分频器在输入信号频率为 10.53GHz 时,最小可分频幅度小于 2mV,输入信号单端幅度小于 300mV 时,可分频范围为 7GHz~12GHz。电源电压 3.3V,核心功耗 24mW。

关键词 动态分频器, CMOS, D 触发器, 锁存器

0 引言

分频器广泛应用于光纤通信、无线通信和测试系统等各种电路系统中。在高速通信系统中,高速分频器大都采用双极性硅、GaAs、InP 等工艺实现。但随着 CMOS 工艺向亚微米、深亚微米发展,其低功耗、高集成度、低价位、高性能的优势使 CMOS 工艺日益成为业界主流工艺。现在,采用业界流行的 0.18 μ m CMOS 工艺已经可以设计出 10Gb/s 的光纤通信用电路。

目前,分频器主要有两种电路设计方案:触发器分频和注入锁定分频。后者结构较前者复杂,功耗偏大。如果后者为了减小功耗而采用 LC 谐振的方式设计压控振荡器,会涉及到电感这一不太容易实现的器件,即便实现了其感值、Q 值也不准确。因此,我们设计的分频器采用了基于 D 触发器的电路结构。在所报道的注入锁定类型分频器中,采用 0.24 μ m CMOS 工艺实现的注入锁定分频器的最高可分频频率为 5GHz^[1],触发器类型分频器中,采用 0.35^[2,3]、0.25^[4]、0.15^[5]和 0.12 μ m CMOS^[6]工艺实现的分频器的最高可分频频率分别为 5.2GHz, 16.8GHz, 11.8GHz, 19GHz。分频器的最高工作频率与输入信号幅度和电源电压有关系。我们采用 0.25 μ m CMOS 工艺实现的分频器可以稳



定地工作在测试仪器上限频率 12GHz 上,输入信号灵敏度小于 300mV,输入信号 300mV 时,工作范围大于 5GHz。

1 电路设计

分频器由主从 D 触发器构成,为了测试能驱动 50 Ω 负载还加上了输出缓冲放大器,如图 1 所示。主从 D 触发器构成两级锁存器,即主从锁存器实现分频功能。为了分析方便,我们将图 1 中的分频器简化,得到图 2 中的简化模型。虚线框中的反相器是为了分析方便,在不改变电路原理的情况下根据原始电路外加的。因为该分频器是一种负反馈,采用的是差分结构,反馈线是交叉连接的。因此该反相器不影响对原始电路的分析。根据图 2 中的简化模型,可以得到分频器各点工作波形,如图 3 所示。该波形可以详细描述分频器的工作过程和功能实现。

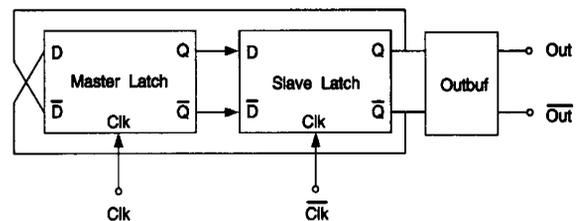


图 1 分频器原理图

如图 3 所示,分频器的功能实现主要依赖于时

国家 863 计划(2001AA312060)和国家杰出青年科学基金(69825101)资助项目。

男,1976 年生,硕士,助教;研究方向:光纤通信用集成电路设计;联系人。

(收稿日期:2003-01-10)

钟控制下的锁存器。主从锁存器在时钟的高电平和低电平交替采样和保持。在时钟高电平时,主锁存器对从锁存器上一个时钟周期的反相输出进行采样,此时从锁存器输出处于保持状态。在时钟低电平时,主锁存器输出处于保持状态,从锁存器对主锁存器输出进行采样,其输出再经过差分信号反相交叉连接反馈到主锁存器的输入端。当下一个时钟周期到来时,主锁存器又对反馈信号进行新一轮的采样、保持,从而实现分频功能。

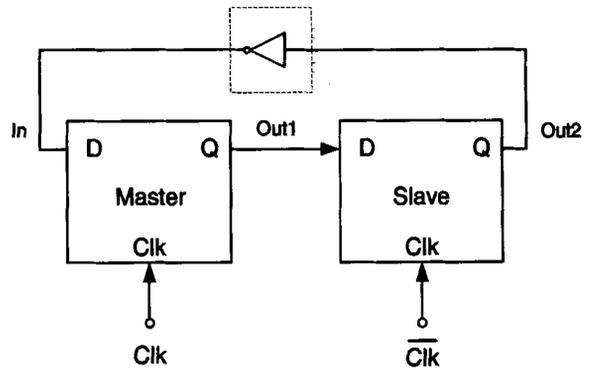


图2 分频器简化模型

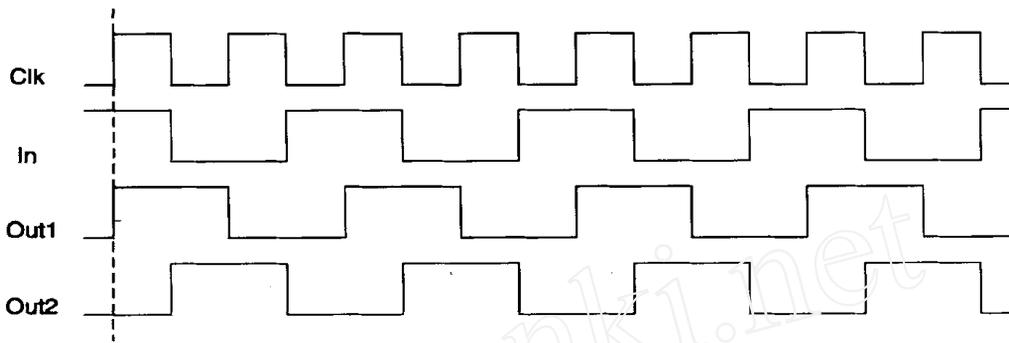


图3 分频器工作波形

由于分频器的反馈方式与振荡器相似,当时钟输入端只加直流偏置时,主从锁存器可以看作放大器,而分频器有可能产生自由振荡,此时可以将分频器看作振荡器。若每一级的延迟时间为 t_d ,则振荡频率为:

$$f_{osc} = \frac{1}{2t_d} \quad (1)$$

利用 TSMC 0.25 μ m CMOS BISIM3V3 模型参数的 Spice 仿真结果也证实了这一点。在无输入交流信号的情况下,分频器自由振荡经缓冲输出波形如图4所示。

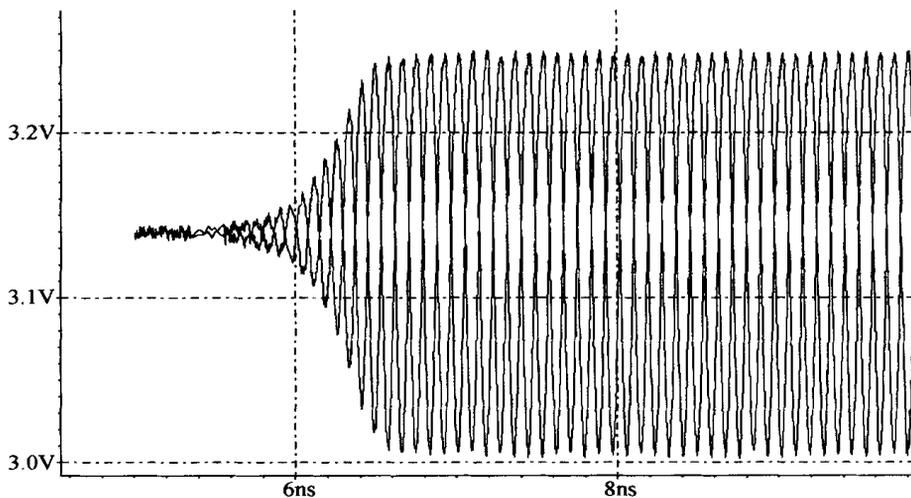


图4 分频器自由振荡输出信号

若分频器的输出信号频率就在其自由振荡频率 f_{osc} 附近,在 $2f_{osc}$ 附近只要输入很微弱的信号就能实现分频,此时分频器的灵敏度是最高的,该频率对应着分频器灵敏度曲线的谷点。仿真结果(图 4)显示,分频器自由振荡的频率为 5.7 GHz,即只要输入很微弱的频率为 11.4 GHz 左右的信号就能实现分频,此时输出信号刚好是在 5.7 GHz 附近。

另一方面,分频器灵敏度曲线的凹谷所对应的频率越高也就意味着该分频器的最高工作频率将越

高。因此在设计电路时应十分重视分频器的自由振荡频率,要设计高速率的分频器就要将其自由振荡频率提高。为实现这一点可以从两方面着手:改进电路结构和优化电路参数。结构的改进将对电路性能的改进起着决定性的作用。因此,我们先对电路拓扑结构进行设计,然后才考虑参数的优化。由公式(1)可知,要提高分频器的自由振荡频率就要尽量减小每一级的信号延迟。图 5 是传统的由主从 D 触发器构成的分频器,

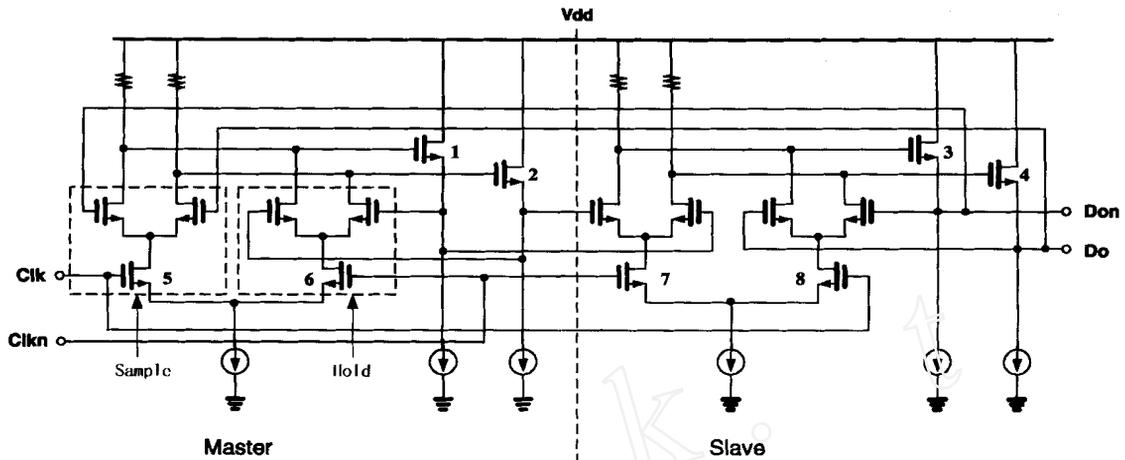


图 5 传统分频器电路结构

图 5 中,1~4 构成的源极跟随器对信号延迟的影响很大,而且其功耗在整体功耗中占了很大比例,因此考虑去掉这些源极跟随器。同时,去掉源极跟随器后对信号的波形有一些影响,但这却能大幅提高分频器的工作频率,利大于弊,信号波形还可以通过缓冲放大器整形。所以,我们在设计中去掉了分频器中所有的源极跟随器,使得 得以减小。另外,在锁存器设计中,有动态和静态之分,区别在于锁存器中保持和采样单元中 MOS 管(图 5 虚线框中)的栅宽比率 (W_{Hold}/W_{Sample})。在相同输入信号幅度的条件下,静态锁存器 ($W_{Hold}/W_{Sample} = 1$) 的工作频率可以涵盖更宽的范围,但其最高工作频率较低。随着栅宽比率的降低,锁存器的最高工作频率提高,但工作范围变窄,即为动态锁存器。在最高工作频率和工作范围之间作出折中后,我们取栅宽比率为 0.4。由这种动态锁存器构成的分频器即为动态分频器,可以工作在较高的频率上。在后面的测试结果中,从分频器的灵敏度曲线中可以明显地看出其最高工作频率和工作范围之间的关系。虽然为了提高电路的工作速率,栅宽比率不为 1,但采样和保持单元共用一个恒流源,这种源极耦合方式使得

锁存部分的电流难以减小。为了使电路工作在更高的频率上,只有进一步减小栅宽比率,这将导致工作频率范围变窄。为了消除这种影响,我们分别将 5 和 7、6 和 8 的源极进行耦合,这种耦合方式可以分别设计采样和保持部分的电流。在不改变栅宽比率的前提下可以通过减小保持单元的电流来提高电路的工作频率,同时工作范围也不会损失太多。我们最终采用的电路结构如图 6 所示,主从锁存器的电路结构和尺寸完全一样。

传统分频器去掉源极跟随器后与图 6 唯一的区别在于时钟输入差分对的源极耦合方式不一样。我们在其余条件完全相同前提下对两种电路结构进行了对比,图 7 是 Spice 仿真得到的 10 GHz ~ 13 GHz 的灵敏度曲线。在输入信号为 200mV 时,改进后分频器的工作范围比采用传统耦合方式的分频器高出 45%,具有绝对的优势。换一个角度讲,如果后者要达到前者的工作范围就只有增加电路的保持功能,增加保持、采样单元的栅宽比率,必然会造成工作频率的下降,即在拥有相同工作范围时,改进后的分频器能工作在更高的频率上。

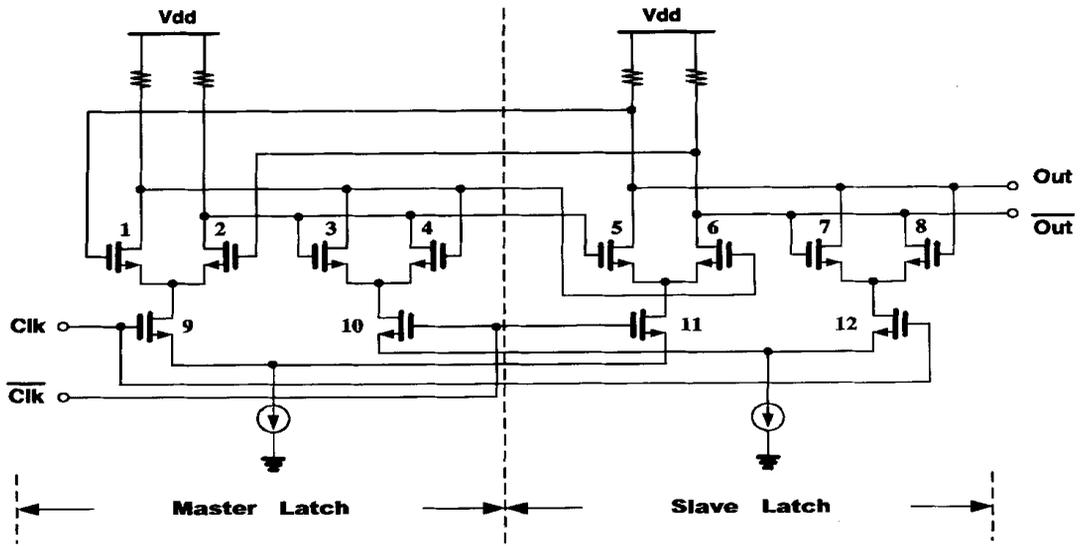


图 6 最终采用的分频器电路结构

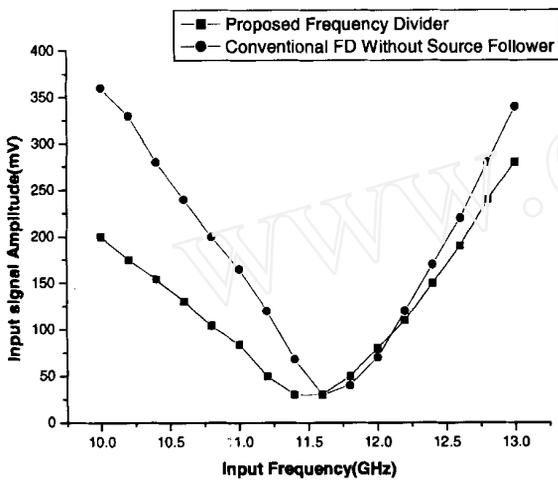


图 7 两种分频器的灵敏度曲线

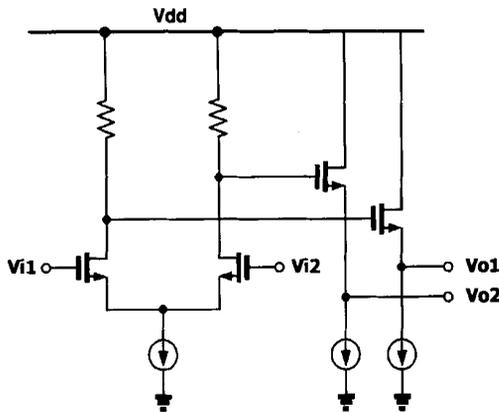


图 8 缓冲放大器

因为分频器的最高工作频率 $f = g_m / C_L$, 其中

g_m 为 1、2、5 和 6 的跨导, C_L 为锁存器输出端的负载电容, 所以在电路的仿真优化过程中, 为了让分频器工作在更高的频率上, 应尽量增加 1、2、5 和 6 的跨导 g_m , 减小负载电容 C_L 。可以通过增加管子的宽长比 (W/L) 或增加偏置电压来提高 g_m , 但增加宽长比会增加容性负载, 增加偏置电压又要牺牲功耗, 在此只能折中。为了减小 C_L , 要适当选取管子尺寸, 同时通过一级较小的源极跟随器来隔离分频器与后续电路, 如管子尺寸较大的缓冲放大器等, 还要适当选取负载电阻, 不能太大, 避免产生较大的寄生电容。

为了测试能驱动 50 Ω 负载, 分频器经三级缓冲放大器输出, 前两级缓冲放大器电路结构如图 8 所示, 最后一级缓冲放大器没有图 8 中的源极跟随器。

2 测试结果

我们采用 TSMC 0.25 μ m CMOS 工艺实现了该分频器, 用于数据判决、分接电路中。该工艺为 P 衬底, N 阱数、模混合工艺, 5 层金属, 一层多晶硅。31 级环形振荡器振荡频率为 210MHz 左右, f_T 为 18.6GHz。通过 MOSIS 在台湾 TSMC 流片。芯片照片如图 9 所示。照片中框线部分为分频器 FD 及其缓冲放大器 Buffer, 电源电压 3.3V, 分频器核心功耗 24mW, 若进一步优化电路参数功耗会更小。

在测试结果中, 我们给出两组瞬态输入输出波形和灵敏度曲线, 分别是图 10、图 11 和图 12。

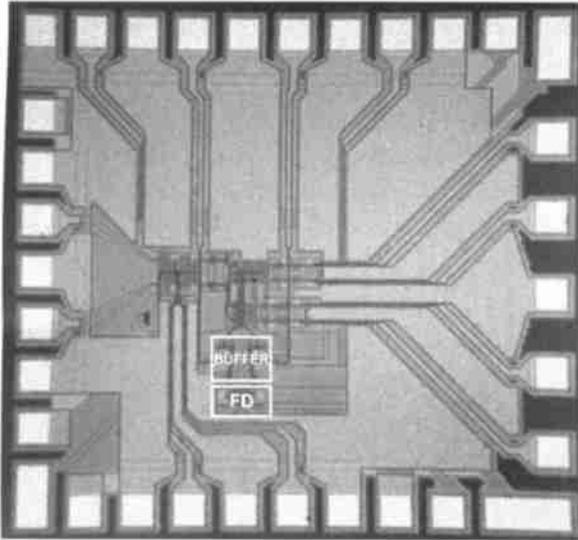


图 9 芯片照片

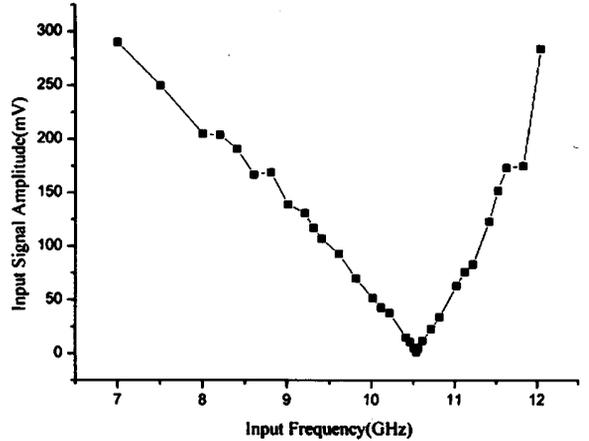


图 12 分频器灵敏度曲线

由于测试仪器限制,该分频器暂时只能测到 12 GHz,增加输入幅度可工作在更高的频率上。仿真结果显示,当输入信号 V_{p-p} (峰峰值) 720mV 时,分频器的工作频率可以超过 14 GHz。

从测试数据来看,若输入信号幅度 V_{p-p} (峰峰值) 630mV 时,该分频器的工作范围可以覆盖 155MHz~12GHz(这也是测试仪器的的工作范围)。根据实际测试数据,可以得到该分频器的灵敏度曲线,图 12 只给出 7 GHz~12 GHz 的灵敏度曲线。

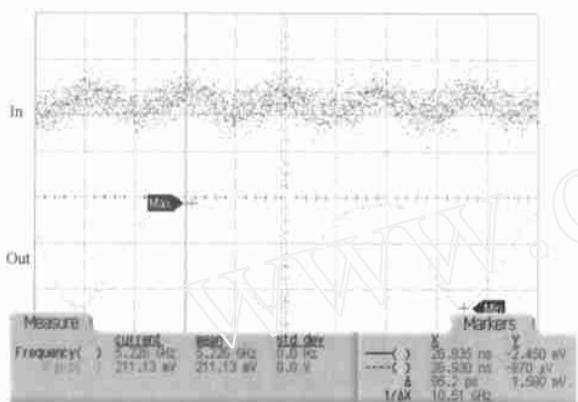


图 10 10.53GHz 1:2 分频 3.2mV/div 50ps/div

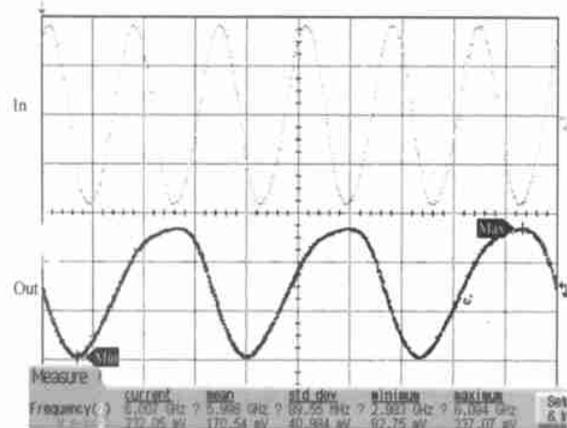


图 11 12GHz 1:2 分频 85mV/div 50ps/div

当输入信号衰减到 2mV 以下时,已经到了示波器的分辨极限,从图 10 可以看到,信号已经和噪声相当了。在 10.53 GHz 上,该分频器的灵敏度最高。

3 结论

随着 CMOS 工艺的发展,采用主流的 CMOS 工艺已经可以设计出高性能的高速电路。我们采用 TSMC 0.25 μ m CMOS 成功实现了 12GHz 1:2 分频器,在 7 GHz~12 GHz 的工作范围内,灵敏度小于 300mV。该分频器可以广泛应用于包括光纤通信系统在内的多种电路系统中,具有广泛的应用前景。

致谢:感谢东南大学—华邦联合研究中心对本项目给予的支持!

参考文献

- [1] Rategh H R, Samavati H, Lee T H. A 5GHz 1mW CMOS voltage controlled differential injection locked frequency divider. In: IEEE Custom Integrated Conference, 1999. p. 517
- [2] Lu Jianhua, Tian Lei, Wang Huan, et al. A 5GHz 1:4 static frequency divider in 0.35 μ m CMOS technology. In: SPIE International Symposium on Opto-electronics and Microelectronics, 2001. vol. 4604:225
- [3] Wong J M C, Cheung V S L, Luong H C. A 1-V 2.5-mV

- 5.2-GHz frequency divider in a 0.35 μ m CMOS process. In: Symposium on VLSI Circuits Digest of Technical Papers, 2002. p. 90
- [4] Wang H M. A 1.8V 3mW 16.8GHz frequency divider in 0.25 μ m CMOS. In: IEEE International Solid State Circuits Conference, 2000. p. 196
- [5] Kurisu M, Nishikawa M, Asazawa H, et al. An 11.8 GHz 31-mW CMOS frequency divider, Symposium on VLSI Circuits Digest Technical Papers, 1997. p. 73
- [6] Wohlmuth H D, Kehrer D, Simbürger W. A high sensitivity static 2:1 frequency divider up to 19GHz in 120nm CMOS. IEEE Radio Frequency Integrated Circuits Symposium, 2002. p. 231
- [7] Razavi B, Lee K F, Yan R H, A 13.4GHz CMOS frequency divider. IEEE International Solid State Circuits Conference, 1994. p. 176
- [8] Chen R Y. High-speed CMOS frequency divider. *Electronics Letters*, 1997, 33(22): 1864
- [9] Tsunashima S, Nakajima H, Sano E, et al. 90-GHz operation of a novel dynamic frequency divider using InP/InGaAs HBTs. In: Indium Phosphide and Related Materials Conference, 2002. p. 43

12-GHz 0.25 μ m CMOS 1:2 Dynamic Frequency Divider

Wang Huan, Wang Zhigong, Feng Jun, Zhu En, Lu Jianhua, Chen Haitao, Xie Tingting,
Xiong Mingzhen, Zhang Li
(Institute of RF &OE ICs, Southeast University, Nanjing 210096)

Abstract

A 12GHz 1:2 dynamic frequency divider has been realized in a standard 0.25 μ m CMOS technology. The circuit is based on D flip-flop and wideband output buffer. The measured results show that the core circuit consumes 24mW with 3.3V supply and the operating frequency is 7GHz to 12GHz under input signal amplitude of <300mV. Especially at 10.53GHz, the divider can work with 2mV input signal.

Key words: Dynamic frequency divider, CMOS, Flip-flop, Latch