



DAC2 可以输出若干个离散的电流值。

当  $sw3p=sw2p=sw1p=VDD$ ,  $sw3n=sw2n=sw1n=GND$  时,  $V_{out}$ -结点输出电流为  $-3I(3I-2I-2I-2I)$

当  $sw3p=sw2p=sw1n=VDD$ ,  $sw3n=sw2n=sw1p=GND$  时,  $V_{out}$ -结点输出电流为  $-I(3I-2I-2I+0)$

当  $sw3p=sw2n=sw1n=VDD$ ,  $sw3n=sw2p=sw1p=GND$  时,  $V_{out}$ -结点输出电流为  $+I(3I-2I+0+0)$

当  $sw3n=sw2n=sw1n=VDD$ ,  $sw3p=sw2p=sw1p=GND$  时,  $V_{out}$ -结点输出电流为  $+3I(3I+0+0+0)$

当  $sw3p=sw2p=sw1p=VDD$ ,  $sw3n=sw2n=sw1n=VDD$  时,  $V_{out}$ -结点输出电流为  $0(3I-I-I-I)$

在  $V_{out}$ -结点的电流值可以是  $3I, I, -I, -3I$  和  $0$  (可以用于 2bit Return-T- Zero DAC 反馈)。  
 $V_{out+}$ 结点的电流值和  $V_{out}$ -相似。

不知道这种电路的可行性如何。

Figure 3 是仿真结果:

图中共 8 个子图, 上面从左到右为 3-1,3-2,3-3,3-4,下面从左右到,3-5,3-6,3-7,3-8。

3-1,3-2 分别是第一级 GmC 和第二级 GmC 的输出。也就是 Figure 1 中电容 C1,C2 结点的电压。**3-6,3-7,3-8** 分别是 Figure 2 中 M2,M8 和 M4 的漏级电压。可以看到 Cascoded Current Cell M1-M2,M3-M4 和 M7-M8 输出电流不一样, 因为 M2,M8 和 M4 的漏级电压不相同。不知道为什么会这样, 跟 switch 控制码是什么关系。

另外也许有其他未知原因导致 DAC2 的线性度很差。

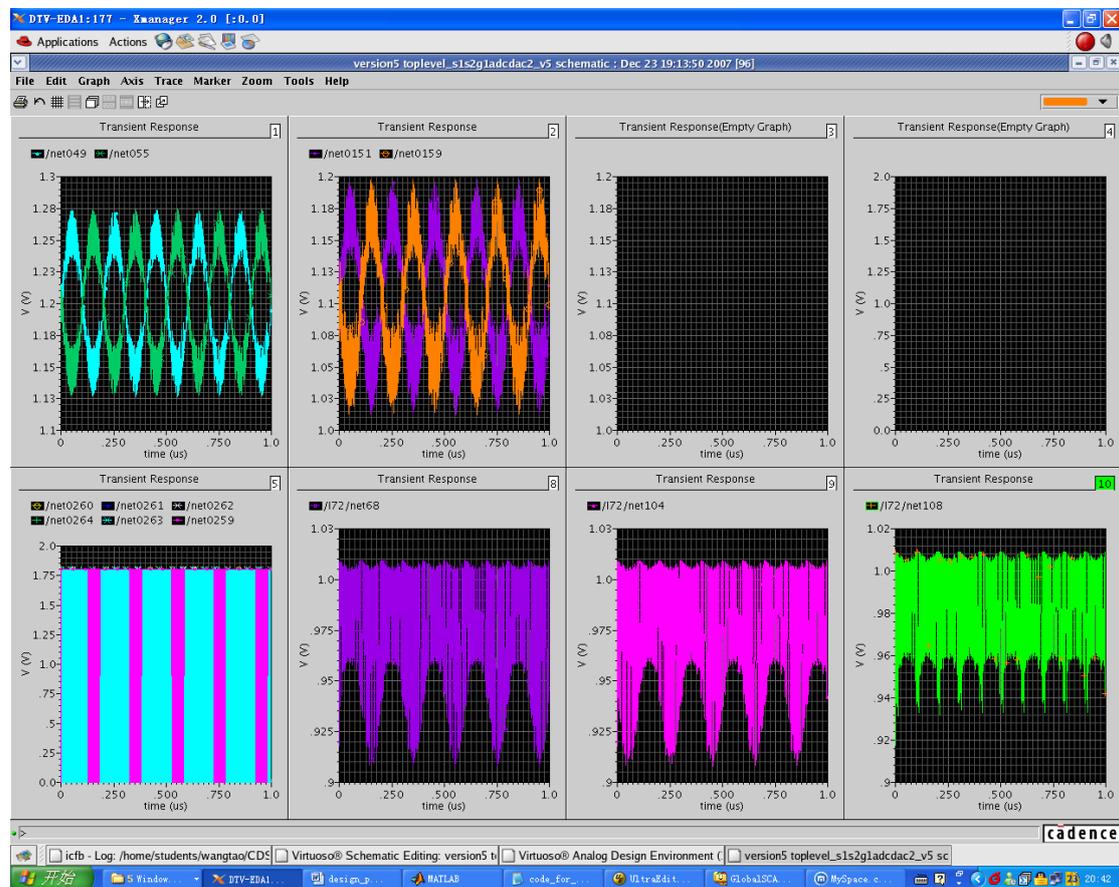


Figure 3 Simulation waveform

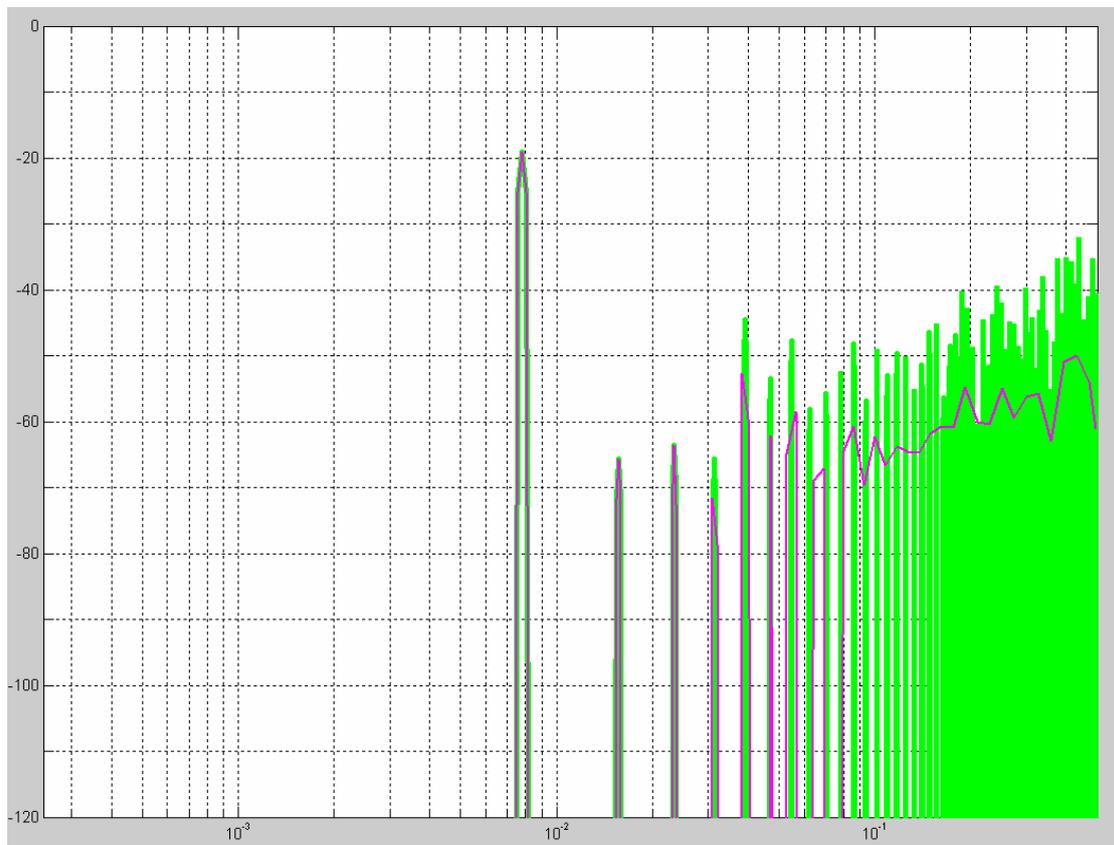


Figure 4 PSD of output bits.

Figure 4 是 ADC 量化输出结果的频谱分析，可以看到输入的频率是在  $1/32$  ( $7.8125e-3$ ) 处 (归一化) 在  $N(N=2,3,4, \dots)$  次谐波处都很明显。显然，电路的谐波失真很大。在用理想 DAC2 模型做电路仿真的时候，电路性能满足要求，没有明显的谐波失真。现在将理想的 DAC2 用实际的替换，出现了很大的谐波失真。可见 DAC2 的线性度很差。不知道是否有什么解决的办法，还是电路本身有缺陷。

可能存在的问题有

1. Nonlinear DAC Output impedance
2. Clock Feed through
3. Glitch at M2,M4 and M8's drains.

[1] J. Arias, P. Kiss, V. Prodanov, V. Boccuzzi, M. Banu, D. Bisbal, J. S. Pablo, L. Quintanilla and J. Barbolla, "A 32-mW 320-MHz continuous-time complex delta-sigma ADC for multi-mode wireless-LAN receivers", *IEEE J. Solid-State Circuits*, 41, pp 339-351 (2006).