

一种基于遗传算法的 VDSM IC 电源网格动态 IR-drop分析新方法*

张培勇, 严晓浪, 史峥

(浙江大学 超大规模集成电路设计研究所, 浙江 杭州 310013)

摘要: 提出了一种用于超深亚微米集成电路电源网格 IR-drop 验证的新方法。该方法以遗传算法为基础, 与已有的分析方法相比, 该方法兼具静态 IR-drop 分析法和动态 IR-drop 分析法的优点, 适用于包含大型组合模块的超大规模集成电路, 可主动寻找电路中最大 IR-drop。通过对 ISCAS85 电路实现的验证, 发现了静态分析法不能发现的芯片边缘 IR-drop 问题。实验结果验证了该方法的正确性与有效性。

关键词: VLSI; CMOS; 电源网格分析; 组合电路

中图分类号: TN402 **文献标识码:** A

1 引言

芯片电源网格的作用是向芯片内部的元件提供充足的电压和电流。在超深亚微米阶段, 芯片的工作频率越来越高, 金属连线越来越细, 而工作电压越来越低, 这使得电源网格的压降对芯片的影响不能被忽视。随着超大规模集成电路的集成度和工作频率的不断提高, 芯片的电源网格的完整性分析变得越来越重要。

电源网格的压降 (IR-drop) 是由电源网格自身的电阻形成的, 如图 1 所示: 当电流通过电阻 $R_{11} \sim R_{14}$ 时, 会在电阻上产生压降, 使得门 $G_1 \sim G_4$ 的 V_{DD} 端的电压小于理想电压。

IR-drop 会直接影响芯片的性能: 低于标准的电压会使信号的上升/下降变慢, 在典型情况下, 5% 的电源压降会导致电路延时增加 15% 或更多^[1]; 同时, 电源网格上过高的电流会产生电迁移效应, 使芯片的电源网格提前损坏。一项基于 206 个 0.13 微米以上工艺流片的调查表明, 如果不进行电源网格分析, 其中 50% 以上的流片都会失败^[2]。因此, IR-drop 分析已成为设计流程中的标准步骤。

目前工业应用中 IR-drop 分析有两种方法: 静态分析^[1,3,4]和动态分析^[1]。静态分析法不考虑电源网格上的器件的开关, 它的速度快、覆盖率高、可以处理更大的电路, 但是精度比较低; **动态分析对电源网格进行全面的动态分析**, 因而精度高, 但是精度受输入向量的影响, 并且速度慢。目前应用中以静态分析法为主, 可对全芯片作静态的 IR-drop 分析, 但是不能分析芯片在什么工作状态下产生最大的 IR-drop。目前采用的动态分析法靠手工指定输入向量来分析相应状态下芯片的 IR-drop, 分析结果与手工指定的输入向量的质量直接相关, 无法保证得到芯片实际的最大 IR-drop。

本文在这两种分析方法的基础上, 提出了一种基于遗传算法的电源网格分析方法, 该方法具有静态分析方法速度快的优点, 同时克服了动态方法需要输入向量的缺点, 可主动的寻找电路中最大 IR-drop, 并指出最大 IR-drop 发生时芯片的工作状态和最大 IR-drop 发生的位置。实验结果证明了该方法的正确性和有效性。

2 电源网格 IR-drop 分析原理

2.1 静态分析法

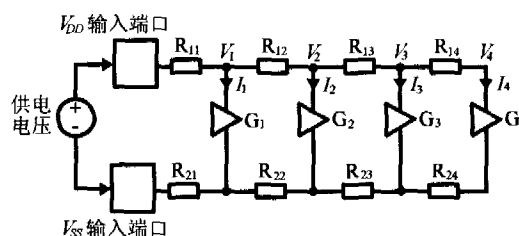


图 1 电源网格模型

* 收稿日期: 2003-10-13 修订日期: 2003-12-01
基金项目: 国家 863 计划资助项目 (2002AA1Z1460)

IR-drop的静态分析法步骤如下^[3,4]:

1) 提取电源网络的寄生电阻;

2) 基于面积或翻转率提取每个门消耗的电流, 用电流源替换电路中的各个门, 电流源的电流值为提取出的各个门消耗的电流。得到如图 2 所示的模型。

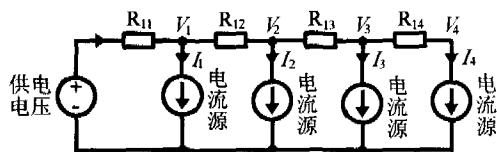


图 2 静态分析电源网络模型

基于面积的各个门消耗电流计算如下:

$$I_{cell} = I_{chip} \times \frac{A_{cell}}{\sum A_{cell}} \quad (1)$$

其中 I_{cell} 为门消耗电流, I_{chip} 为芯片总消耗电流, A_{cell} 为门的面积, 基于翻转率的各个门的消耗电流计算如下^[1]:

$$P_{avg} = 1/2 \times C_L \times V_{dd} \times P_s \times f \quad (2)$$

其中 P_{avg} 为门的功耗, C_L 为门的有效负载, V_{dd} 为供电电压, P_s 为门的翻转率, f 为时钟频率;

3) 根据图 2 所示的模型建立电路方程;

4) 求解该电路方程, 得到各点电压。

静态分析法的优点是方法简单和完全的覆盖率, 因为每个门都提供了一个平均电流, 所以静态分析覆盖到了电路中所有的门。

2.2 动态分析法

IR-drop 动态分析步骤如下:

1) 提取电源网络的寄生电阻和寄生电容;

2) 提取信号线的寄生电阻和寄生电容;

3) 提取电路的网表;

4) 根据提取的网表反标上电源网络的寄生电阻电容和信号线的寄生电阻、电容, 结合生成一个新的网表;

5) 对新生成的网表根据一组输入向量进行电路仿真。

动态分析的速度很慢, 无法对所有可能的输入向量进行分析。一个 n 输入的组合电路, 其输入状态多达 2^n 种。对一个 50k 单元的电路, 进行 1 百万个输入向量的仿真需要 3 个月^[5]。因而对所有的输入状态进行仿真是不可能的。目前提出了一些解决方法, 如减少动态分析需要的输入向量的数量^[6]、从所有可能的输入向量中找出一个子集进行分析^[7]、精简电源网格法^[8]、改进的静态分析法^[9]、侧重分析于局部 IR-drop 的随机分析法^[10]等方法。在 SOC 设计中, 由于时间限制, 往往只能对几十个输入向量进行分析^[1]。这就可能分析不到电路出现实际最大 IR-drop 的情况。

3 基于遗传算法的电源网络分析

3.1 遗传算法^[11,12]

遗传算法是借鉴生物界自然选择和自然遗传机制的随机优化全局搜索算法, 它从一组随机产生的初始解(称为“种群”)开始搜索。种群的每一个个体是问题的一个解, 称为“染色体”。染色体是一串符号, 比如一个二进制字符串。这些染色体在后续迭代中不断进化, 称为遗传。在每一代中用“适应值”来测量染色体的优劣。生成的下一代染色体, 称为“后代”。后代是由前一代染色体通过交叉或变异运算形成的。新一代形成中, 根据适应值的大小选择、淘汰部分后代, 从而保持种群大小不变。适应值高的染色体被选中的概率较高。这样, 经过若干代之后, 算法收敛于最好的染色体, 从而得到问题的最优解。遗传算法的主要特点是群体搜索策略和群体中个体之间的信息交换, 具有并行随机自适应寻优的独特功能。

Jiang^[13]和Hsiao^[14]研究了把遗传算法用于电路最大功耗分析, 取得了一定的成果。在 IR-drop 分析及应用方面, 目前尚无相关文献报导。

本文提出了一种新型的基于遗传算法的 VDSM IC 电源网络动态 IR-drop 分析法,其具体步骤如下:

3.1.1 定义编码规则和种群个数

组合电路:组合电路的内部状态取决于输入向量对,将每个输入向量对转换为一个有限长度的二进制字符串。本方法使用简单的编码规则,对每一输入端,进行如表 1 所示编码:将所有输入端的编码合在一起,形成一个二进制字符串,即染色体。这样,本方法中染色体长度为 $2 \times \text{输入端个数}$ 。

表 1 输入端编码

编码	上一状态	当前状态
00	0	0
01	0	1
10	1	0
11	1	1

时序电路:时序电路的内部状态取决于输入向量对和内部寄存器的状态,在组合电路的基础上,将内部寄存器的状态加入编码中,每个寄存器用 2 位二进制字符串表示,就可以处理时序电路。

种群个数对搜索结果有重要影响,种群个数大,开始的搜索空间大,但是每一代用的时间较长。种群个数小,开始的搜索空间小,但是在同样的时间下可以进行更多代的遗传变异。经过实验,种群个数为 4 时可得到相对较好的结果。

```
GA for estimating maximum IR-drop()
Randomly generate initial population ;
While(gen_num < max_number_of generations)
{
    Compute the fitness values for all individuals
    in the populations;
    One-point Crossover;
    Mutate;
    Update the population;
    gen_num += 1;
}
```

图 3 基于遗传算法的电源网络分析流程图

3.1.2 决定选择、交叉、变异的策略

选择策略:随机选取^[12]。每个染色体被选中的概率与适应值成正比。

交叉策略:设有 n 个输入端,随机的从 $[1, 2 \times n - 1]$ 中选取一整数位置 k ,将两个父母串中从位置 k 到串末尾的子串互相交换。

变异策略:选取变异概率 0.01。如果连续 2 代最优值没有改进,则下一次的变异概率为 0.5,这样可以指导遗传算法寻找到更优的解,防止搜索收敛于局部最优解。

3.1.3 确定适应函数 (fitness function)

定义电路中最大的 IR-drop 为适应函数。遗传算法不断进行优化,从而找出电路的最大的 IR-drop。基本流程如图 3 所示。

3.2 适应函数计算

适应函数的计算是电源网络动态 IR-drop 分析的重要环节,要得到电路最大的 IR-drop,需要在遗传算法的指导下计算出各种可能状态下电路的 IR-drop。遗传算法需要多次的计算适应函数,因此要求能快速的求出适应函数值。本文将静态分析法的单元面积电流概念应用于动态分析中,可有效的提高分析速度。

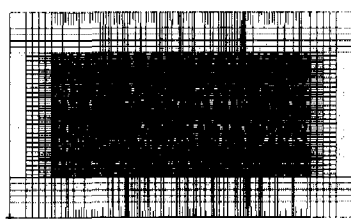


图 4 c7552 0.18μm 实现

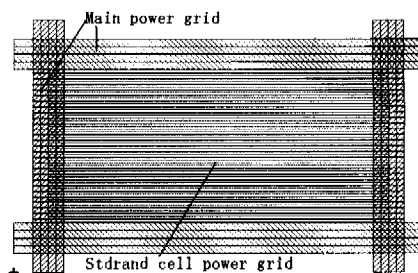


图 5 c7552 电源网格

适应函数计算步骤:1)由遗传算法生成输入向量对;2)用 hdl 仿真器对输入向量对进行仿真;3)分析仿真结果,识别所有翻转的单元;4)将翻转的单元按面积转化成电流源,将电流源插入电源 RC 网络;5)计算出电源 RC 网络上的最大 IR-drop,即为该输入向量对的适应函数值。

4 实验过程和实验结果

本文选用了 ISCAS'85 Benchmark 电路中最大的 c7552 作为验证对象,用工业用 0.18μm 工艺实现了 ISCAS'85 的 c7552 电路如图 4 所示,电源网格如图 5 所示。c7552 参数如表 2 所示。c7552 在物理实现后,它的门数与原始网表的门数相比变大。

表 2 c7552 参数

面积	门数	输入端	输出端
500×800μm ²	5660	207	108

电源网络的 RC 提取使用了 synopsys 公司的 star-rcxt; hdl 仿真器使用了 synopsys 公司的 vcs。

实验结果：图 6 是静态分析的结果，黑的部分表示芯片上较低的电压，从结果上看，IR-drop 在芯片中心附近的值最大，这从静态分析的特点很容易得出。电路中最低电压为 1.582V，这个值是当所有门都翻转时的 IR-drop，实际电路运行中，不可能所有的门都同时翻转，因此这样得到的结果会超过实际电路中可能达到的最大 IR-drop。

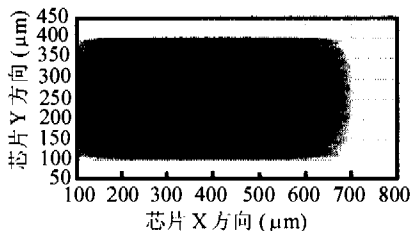


图 6 静态分析结果(最低电压为 1.582V)

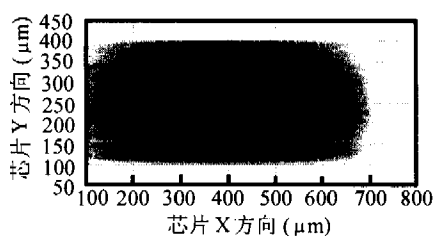


图 7 动态随机生成输入向量 10000 次分析结果(最低电压为 1.658V)

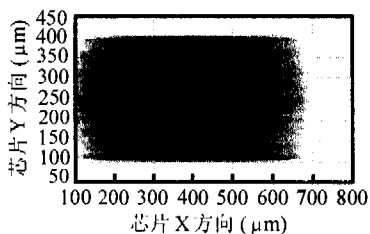


图 8 基于遗传算法的 1000 次分析结果(最低电压为 1.648V)

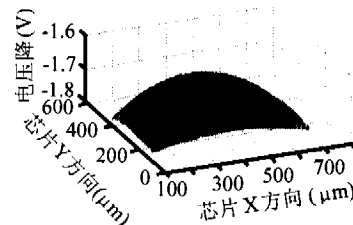


图 9 基于遗传算法得到结果的立体显示(最低电压为 1.648V)

图 7 是随机生成 10000 次输入向量，经模拟得到的最大 IR-drop，其计算方法是随机的按输入端 50%跳变概率生成输入向量，对生成的输入向量进行动态分析，取其中最大值。实验结果为电路中最低电压为 1.658V，发生在电路中心附近。这个结果会比实际电路可能达到的最大 IR-drop 状况要轻。

图 8 是采用本文提出的基于遗传算法的电源网格动态 IR-drop 分析方法，共对电路进行了 250 代共 1000 次分析，实验结果为电路中最低电压为 1.648V。

图 9 是图 8 的立体显示。从图 8 和图 9 中可以看出，电路最大 IR-drop 发生在电路的下方，且电压低于随机 10000 次得到的结果。这个结论不同于静态分析和随机动态分析的结果，它表明电路的最大 IR-drop 并不发生在电路中心，指出了实际电路最大 IR-drop 发生的位置，这对后端工程师进行 IR-drop 的修复有重要意义。

根据基于遗传算法的电源网格动态 IR-drop 分析结果，为了减小 IR-drop，修改被测芯片的电源网格如图 10 所示。对修改了电源网格的芯片进行 IR-drop 分析，采用本文提出的基于遗传算法的电源网格动态 IR-drop 分析方法，进行 250 代共 1000 次分析，得到的芯片最低电压为 1.7302V，

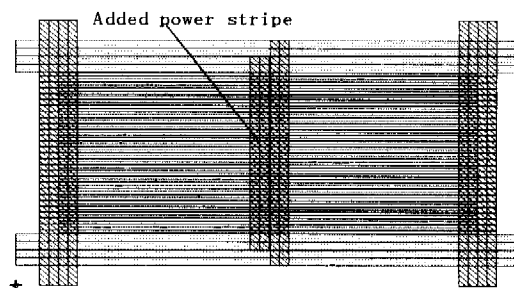


图 10 修改后的芯片电源网格

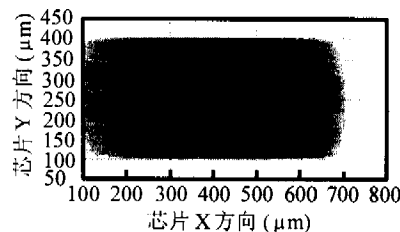


图 11 修改电源网格后的 IR-drop (最低电压为 1.73V)

表明更改电源网格很有效的防止了较大 IR-drop 的发生。IR-drop 如图 11 所示。

从 3 种不同的分析方法得到的结果可以如表 3 看出，基于遗传算法的电源网格

表 3 3 种分析法的比较

		静态分析法	随机法	基于遗传算法的电源网格分析法
原始版图	分析次数	1	10000	1000
	最小电压(V)	1.582	1.658	1.645
修改后版图	分析次数	1	10000	1000
	最小电压(V)	1.684	1.732	1.730
效果比较		分析结果过大，不能指出实际最大 IR-drop 发生位置	速度慢，不可能分析所有的输入状态，因而不能主动地寻找电路的最大 IR-drop	可主动地寻找最大 IR-drop 发生位置，速度比随机法快

动态 IR-drop 分析方法能得到比随机动态分析更好的结果，可以指出电路中可能的最大压降发生的位置

置, 克服了静态分析无法分析不同状态的缺点, 能有效地分析电路的 IR-drop。

5 总结

本文提出一种用于超深亚微米集成电路电源网格 IR-drop 验证的新方法, 该方法以遗传算法为基础, 吸收了静态分析法单位面积电流的概念, 动态地自动寻找电路出现最大 IR-drop 的状态。该方法不需要输入向量, 可进行全芯片的动态 IR-drop 分析。该方法可用于芯片电源网格分析, 所得到的结果可指导 IR-drop 的修复。

参考文献:

- [1] Steele G O D, Rochel S, Hussain S Z. Full-chip verification methods for DSM power distribution systems [A]. Design Automation Conference, 1998. Proceedings [C]. 1998.
- [2] Cadence. POWER GRID VERIFICATION [S/OL]. <http://www.cadence.com/whitepapers/powerdistplan.html>
- [3] Dharchoudhury A P R, Blaauw D, Vaidyanathan R, et al. D. Design and analysis of power distribution networks in Power PC microprocessors [A]. Design Automation Conference, 1998. Proceedings [C]. 1998.
- [4] Sapatnekar S S, Su H. Analysis and optimization of power grids [J]. Design & Test of Computers, IEEE, 2003, 20(3): 7-15.
- [5] Kong. D.-S.C.K.-H.L.G.-J.J.T.-S.K.J.-T. Efficient modeling techniques for IR drop analysis in ASIC designs [A]. ASIC/SOC Conference, 1999. Proceedings. 12th Annual IEEE International [C]. 1999.
- [6] Chi-ying Tsui, Marculescu R M D, Pedram M. Improving the efficiency of power simulators by input vector compaction [A]. Design Automation Conference Proceedings 1996, 33rd [C]. 1996.
- [7] Marculescu R, D Marculescu, M Pedram. Sequence compaction for power estimation: theory and practice [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1999, 18(7): 973-993.
- [8] Su H, E Acar, S R Nassif. Power grid reduction based on algebraic multigrid principles [A]. Design Automation Conference, 2003. Proceedings [C]. 2003.
- [9] Kouroussis D, F N Najm. A static pattern-independent technique for power grid voltage integrity verification [A]. Design Automation Conference, 2003. Proceedings [C]. 2003.
- [10] Qian H, S R Nassif, S S Sapatnekar. Random walks in a supply network [A]. Design Automation Conference, 2003. Proceedings [C]. 2003.
- [11] D E Goldberg, R Burch. Genetic Algorithms in Search, Optimization, and Machine Learning [M]. Reading, MA: Addison-Wesley, 1989.
- [12] Grefenstette J J. A User's Guide to GENESIS. Version 5.0 [S].
- [13] Jiang Yi-Min, Krstic A K-T C. Estimation for maximum instantaneous current through supply lines for CMOS circuits [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2000, 8(1): 61-73.
- [14] Hsiao M S R, E M, Patel J H. K2: an estimator for peak sustainable power of VLSI circuits [A]. 1997 International Symposium on Low Power Electronics and Design, 1997. Proceedings [C]. 1997.

作者简介: 张培勇, 浙江大学超大规模集成电路设计研究所博士研究生, 研究方向: 集成电路CAD技术; 严晓浪, 浙江大学电气工程学院教授, 博士生导师, 研究方向: 集成电路设计和布图技术; 史峰, 浙江大学超大规模集成电路设计研究所副教授, 研究方向: 集成电路CAD技术。

A novel method for dynamic IR-drop analysis of VDSM IC power grid based on genetic approach

ZHANG Pei-yong, YAN Xiao-lang, SHI Zheng
(Institute of VLSI Design, Zhejiang University, Hangzhou 310013, China)

Abstract: A novel GA based algorithm for UDSM VLSI power grid verification is presented. Unlike other existing techniques, this algorithm possesses merits of both the static and dynamic IR-drop analysis methods. For large scale combinational circuits, the maximum IR-drop can be automatically found following the proposed scheme. Application on ISCAS'85 example shows potential IR-drop faults which are unknown by using traditional methods. The correctness and efficiency are both verified by experiments.

Key words: VLSI; CMOS; power grid verification; combinational circuits