文章编号: 1001-9081(2010)07-1978-05

X-DSP ALU与移位部件的设计与实现

彭元喜, 邹佳骏
(国防科学技术大学 计算机学院, 长沙 410073)
(pyx@nudt.edu.cn)

摘 要: 针对 DSP CPU的算术运算逻辑单元(ALU)与移位部件在性能、功耗与面积上面临的挑战, 研究了 X型 DSP的 CPU体系结构, 在对 X型 DSP ALU部件和移位器部件相关指令进行归类分析的基础上, 设计实现了 ALU部件和移位器部件。采用 Design Compiler综合工具, 基于 SMIC公司 0.13μm CMOS工艺库对 ALU移位部件进行了逻辑综合, 电路功耗共为 4.2821mW, 电路面积为 71042.9804μm², 工作频率达到 250MHz。

关键词: 数字信号处理器; 算术运算逻辑单元; 桶形移位器; 核心加法器; 验证
中图分类号: TP342.21 文献标志码: A

Design and implementation of ALU and shifter in X-DSP

PENG Yuan-xi, ZOU Jia-jun
(*School of Computer Science, National University of Defense Technology, Changsha Hunan 410073, China*)

Abstract Concerning the challenges on performance, power, area of Arithmetic Logical Unit (ALU) and shifter in DSP CPU, this paper studied the architecture of X-DSP and analyzed the characteristics of all instructions related to ALU unit and shifter unit and designed and implemented the two units. This paper also synthesized the two computational units by using design compiler with SMIC 0.13μm CMOS technology library. The total circuit power consumption was 4.2821mW, the area of the circuit was 71042.9804μm², and the frequency was 250MHz, which met the requirements of the system.

Keywords Digital Signal Processor (DSP); Arithmetic Logical Unit (ALU); barrel shifter; core adder; verification

0 引言

数字信号处理器(Digital Signal Processor, DSP)是对信号和图像实现实时处理的一类芯片, 具有高效率、低功耗和低成本的特点, 在通信、军事、控制、家电等各个领域得到了广泛的应用, DSP技术已为目前集成电路领域发展速度最快、竞争最激烈的技术。TI TMS320C55x[1-2]是一款低功耗、低成本的16-bit定点 DSP, 工作在 0.9V下, 工作频率达 300MHz, 是数字通信等便携式应用的有效解决方案。X型 DSP由我们自主研发, 与 C55x指令集系统兼容。

CPU是 DSP的核心, 而算术运算逻辑单元(Arithmetic Logical Unit, ALU)与移位部件功能丰富, 是 DSP CPU的关键部件之一, ALU与移位部件通常也是 DSP芯片关键路径, 对芯片的性能、面积和功耗有重要影响。

ALU从结构上分为两种: 一种是加法器独立方式, 在加法器外围附加其他的电路以实现逻辑运算指令, 另一种是在加法器中集成逻辑运算、算术运算, 用控制信号选择进行具体的指令操作, 这是一种集成多功能的 ALU结构, 两种结构中加法器都是 ALU的核心。常用的加法器有行波进位法器(Ripple Carry Adder)[3-4]、进位跳跃加法器(Ripple Carry Adder)[3]、超前进位加法器(Carry Lookahead Adder)[5]、ling加法器[6]、进位选择加法器(Ripple Carry Adder)[3]等, 其中最常用的加法器是超前进位加法器。移位器的设计常采用桶形移位器[7]。

文献[8]提出一种基于改进型双路径并行算法的适合于 DSP的 ALU, 它以加减法作为划分双路径依据, 虽然该 ALU适合于浮点运算, 但在 0.18μm CMOS工艺下关键路径延时为 8.59 ns(最大工作频率约 116MHz)。

本文根据 X型 DSP CPU的 ALU单元和移位部件功能要求, 分别对 ALU单元和移位器单元进行了详细设计与实现。在深入研究快速加法器的关键技术以及各种实现结构的基础上, 采用改进的超前进位算法, 实现了一款高效的 ALU单元。另外本文还提出了一种改进型全译码 40位桶形移位器, 它继承了传统移位器的优势, 能完成 X型 DSP所需的全部算术、逻辑、循环以及双移位等移位功能。

1 X型 DSP ALU与移位部件概述

X型 DSP处理器由 CPU内核、外设和存储器三个部分组成。

1.1 X型 DSP CPU体系结构

X型 DSP CPU结构如图 1所示。X型 DSP在存储器结构设计上采用了改进的哈佛结构, 共提供 1条程序总线访问程序存储器, 5条数据总线访问数据存储器, 处理器最多可以同时支持 6个访存操作。X型 DSP CPU从功能上可分为 I、P、A、D四个单元: 指令缓存单元(I unit)用于缓存和解码应用程序的指令, 确定指令长度, 指令缓存单元用于减少指令停顿, 提高指令执行效率; 程序流单元(P unit)用于实现高效的循环、分支、条件执行以及流水保护; 地址数据流单元(A unit)根据各种寻址模式生成数据地址, A单元还附加一个通用 ALU(AALU), 用于简化算术运算, 提高指令并行性; 数据计算单元(D unit)执行算术运算, 包括 MAC、ALU(DALU)以

收稿日期: 2009-12-29; 修回日期: 2010-03-15。 基金项目: 国家自然科学基金资助项目(60676010)、国家 863计划项目(2007AA01Z108)、教育部长江学者和创新团队发展计划项目。

作者简介: 彭元喜(1966-), 男, 湖南澧县人, 副研究员, 博士, 主要研究方向: 微处理器设计、片上网络(NoC)设计、MPSoC体系结构; 邹佳骏(1984-), 男, 湖南郴州人, 硕士研究生, 主要研究方向: 微处理器设计。

及累加器寄存器和一个桶形移位器、舍入和饱和控制以及用于加速维特比算法的专门硬件。

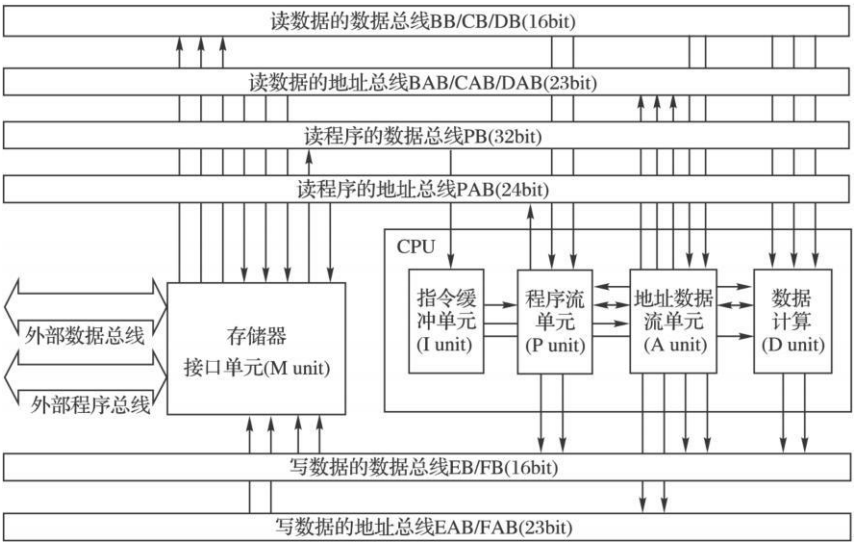

图 1　X型 DSP CPU 结构

1.2　X型 DSP ALU与移位部件

ALU与移位部件是 D部件的核心部件之一, 是影响整个处理器性能、面积与功耗的主要因素之一。

图 2为 D单元总体结构框图。D 部件的 ALU 在单指令周期中完成算术和逻辑运算, 移位器在单指令周期中完成任意多位的移位操作。对于通用 CPU, ALU 和移位器是并行组织的, 即对于算术逻辑操作指令来说, 数据只经过 ALU 进行操作; 而对于移位指令来说, 数据直接进入桶形移位器进行移位得到操作结果, 而不必经过 ALU。但在 X-DSP CPU 中, 部分指令必须先进行移位操作, 再进行算术逻辑运算, 为提高性能、节省面积与功耗, 需要将桶形移位器与 ALU 串行组织, 这在性能、面积与功耗上对 ALU 和移位器设计提出了挑战。

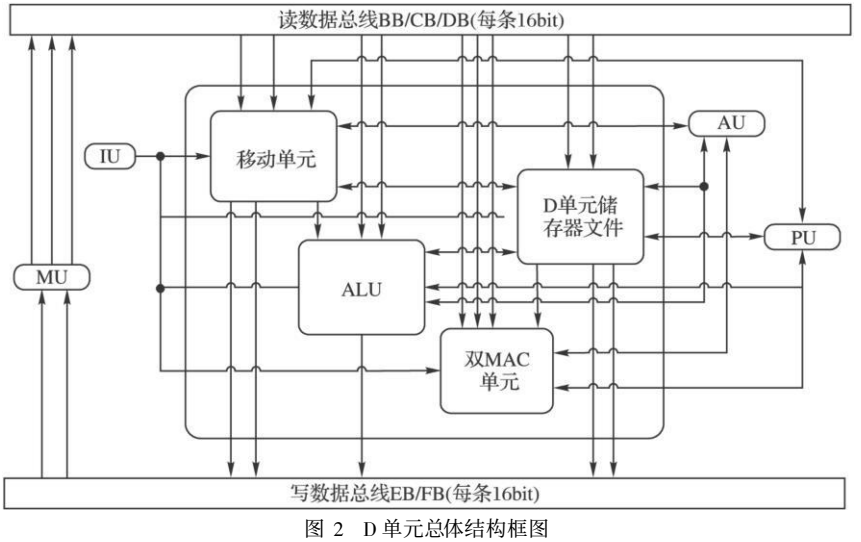

图 2　D 单元总体结构框图

2　ALU 的逻辑设计

2.1　ALU指令类型分析

D单元 ALU总共执行 122条指令, 其中 42条指令执行逻辑操作 (与、或、异或、取非、取补、取绝对值、搬移), 34条指令执行算术操作 (普通配置模式下的加、减), 10条指令在双 16 bit配置模式下执行加减运算, 2条指令在条件加减配置模式下执行操作, 7条指令执行条件比较大小操作, 6条指令执行位处理操作, 8条指令执行维特比运算, 其余指令执行特殊运算和并行操作。

2.2　ALU数据通路

图 3为 D单元 ALU 总体数据通路。ACR0, ACR1和 ACW0, ACW1分别为数据寄存器 (累加器)读和写总线。DRB 总线将 A 部件寄存器数据传送至 ALU, SH 总线将 D部件移位器移位结果传送到 ALU, KDB总线传送立即数。DB、CB和 EB分别为 ALU读存储器总线和写存储器总线。DB和 CB总线还经影子寄存器 (为避免同时读写, 应用于重命名技术的寄存器)合并为 DB_CB总线输入 ALU, 以便 ALU与本部件其他单元并行执行 (D部件移位器和乘法器单元还可能同时用到 DB、CB总线之一, 为避免冲突而寄存总线数据)。

2.3　ALU运算配置模式

ALU 处理数据主要分别可以在 40 bit模式和双 16 bit模式下。在普通运算模式下 (即包括 8 bit保护位的 40位运算模式), ALU 执行常用的加减或者逻辑运算; 而在双 16 bit模式下, ALU将从累加器来的数据分成 24 bit和 16 bit两组数据通道, 其中 24 bit一组是由高 16 bit数据和累加器的 8 bit保护位组成。如图 4所示。

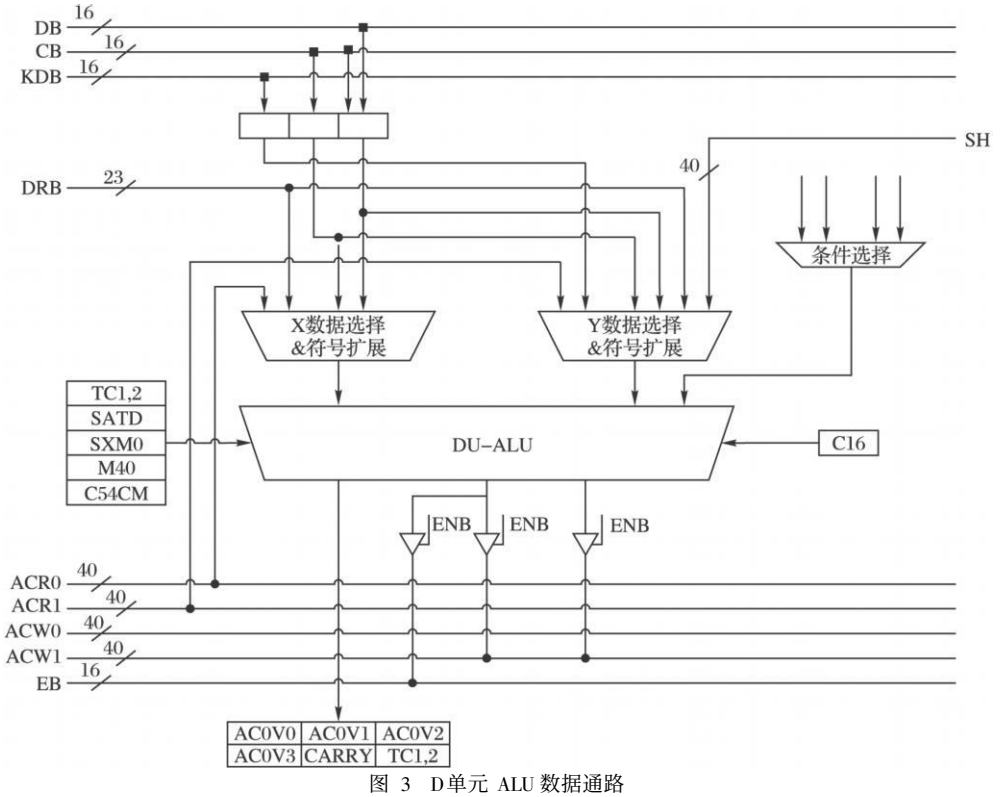

图 3 D单元 ALU数据通路

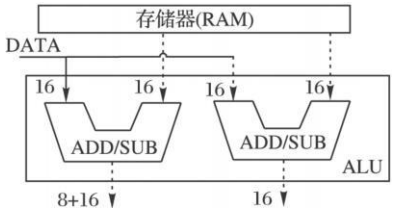

图 4 ALU双 16位模式下的配置

在双 16bit模式下, 高 24 bit和低 16 bit分别能根据需要执行加或者减操作。如表 1所示。

表 1 双 16-bit配置模式下的相关操作

双 16 bit 配置模式	执行操作	双 16 bit 配置模式	执行操作
模式 1	高 24 bit 加 低 16 bit 加	模式 3	高 24 bit 减 低 16 bit 加
模式 2	高 24 bit 加 低 16 bit 减	模式 4	高 24 bit 减 低 16 bit 减

除了这两种配置模式的选择外, ALU还有一种特殊的配置模式, 即条件加减模式, 不同于上面的两种配置, 条件加减模式的控制信号不是由 I单元译码信号控制, 而是由 P单元的测试控制位 (TCx)来决定。由于操作数的选择不是由 I单元译码而来, 事先并不知晓测试控制位 TCx的状态, 所以 ALU必须在两种配置模式之外再设计特殊的条件加减模式。

2.4 ALU的功能设计

加法器是 ALU的核心, 本文使用 4位一组的并行进位链, 组内并行, 组间串行, 设计 40位加法器。 4位一组的 C (进位), sum (和)算术表达式分别如下:

$$C_0 = G_0 + P_0 C_{in}$$

$$C_1 = G_1 + P_1 C_0 = G_1 + P_1 G_0 + P_1 P_0 C_{in}$$

$$C_2 = G_2 + P_2 C_1 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_{in}$$

$$C_3 = G_3 + P_3 C_2 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_{in}$$

$$sum_i = P_i \oplus C_{i-1}$$

其中: 进位传播函数 $P_i = a_i \oplus b_i$, 进位生成函数 $G_i = a_i \& b_i$。表达式中 C_3、C_2、C_1 和 C_0 分别为各级进位位, C_{in} 为最初的进位输入。

本 ALU将逻辑操作与算术操作集成到二个功能函数 e、f 中, 通过对控制信号选择, ALU分别执行逻辑运算或者算术运算。功能函数 e、f 分别对应进位生成函数 G、进位传播函数 P, 其算术表达式为:

$$f = (c3 \& (a \& b)) + (c2 \& (\sim a \& b)) + (c1 \& (a \& \sim b)) + (c0 \& (\sim a \& \sim b))$$

$$e = (a \& (b \oplus (c3 \& c0))) \& c4$$

$c4$为算术逻辑控制线, $c4$为 0进行逻辑运算, $c4$为 1进行算术运算。算术表达式中的系数 $c3$、$c2$、$c1$和 $c0$置为不同的值, 功能函数或产生超前进位加法器所需要的进位产生函数 (G函数对应 e函数) 和进位传播 (P函数对应 f函数) 函数, 或产生逻辑操作所要完成的组合运算。算术 /逻辑运算功能表见表 2, $c3$、$c2$、$c1$、$c0$总共有 16种组合, 共可完成 16种操作, 表 2中仅列出主要操作。

表 2 算术 /逻辑运算功能表

工作方式选择输入 $c3c2c1c0$	功能函数 f表达式的值	算术 /逻辑操作说明
0001	$a \mid b$	OR
0011	$\overline{b}$	NOT
0110	$a \oplus b$	异或、加法
1000	$a \& b$	AND
1100	b	传送
1010	a	传送
1001	$a \odot b$	同或、减法

当 $c4$为 0, 功能函数 e为 0, 它所对应的 G 函数为 0, 这时置 C_{in} 为 0(逻辑运算时不使用进位), 这时本组所有进位 C_3、

C_2、C_1、C_0为 0, $sum_i = \sim P_i$, 完成逻辑运算和传输, 完成何种逻辑和传输运算则由 $c3$、$c2$、$c1$、$c0$决定。

当 $c4$为 1, $c3$、$c2$、$c1$、$c0$ = 4' b0110时, 功能函数 e为 $a\&b$, 等于该位的 G函数, 功能函数 f为 $a \oplus b$, 等于该位的 P函数, 没有进位时 C_{in}为 0, 这时完成加法操作。

ALU的减法由加法完成, 根据补码加减法的理论, 先对减数求反, 然后与被减数相加, 最后在结果末位加一, 即 $A - B = A + (\sim B) + 1$。当 $c4$为 1, $c3$、$c2$、$c1$、$c0$ = 4' b1001时, 功能函数 e为 $a\&(\sim b)$, 等于该位的 G函数, 功能函数 f为 $a \odot b = a \oplus (\sim b)$, 等于该位的 P函数, 这时完成加法操作, 没有借位时置 C_{in}为 1, 这时完成减法操作。

在双 16bit模式下, ALU 高 24bit和低 16bit的控制线 $c1 \sim c4$不同, 低 16bit的进位不送高 24bit, 这时高 24bit和低 16bit相当于两个独立 ALU工作。

ALU处于条件加减模式时控制信号 $c1 \sim c4$由控制位 (TCx)决定。

3　移位器的逻辑设计

3.1　移位器指令类型分析

D单元桶形移位器总共包括 53条指令, 其中 40条执行算术移位操作, 即保持目标操作数的符号位 (即最高有效位) 不变; 10条执行逻辑移位操作, 即使目标操作数的左端移入 0; 2条执行循环移位操作, 即使移出的目标操作数位并不丢失, 而是循环送回目标操作数的另一端; 1条执行双移位操作。

3.2　移位器数据通路

图 5为 D单元移位器数据通路。移位器运算单元主要用于完成左右移位、溢出检测、舍入、饱和操作, 其输入或是数据总线 BB、DB和 CB的数据, 或是总线 KDB的立即数。其输出送存储器总线 EB、FB, 或累加器 ACx, 或进行舍入或饱和操作。

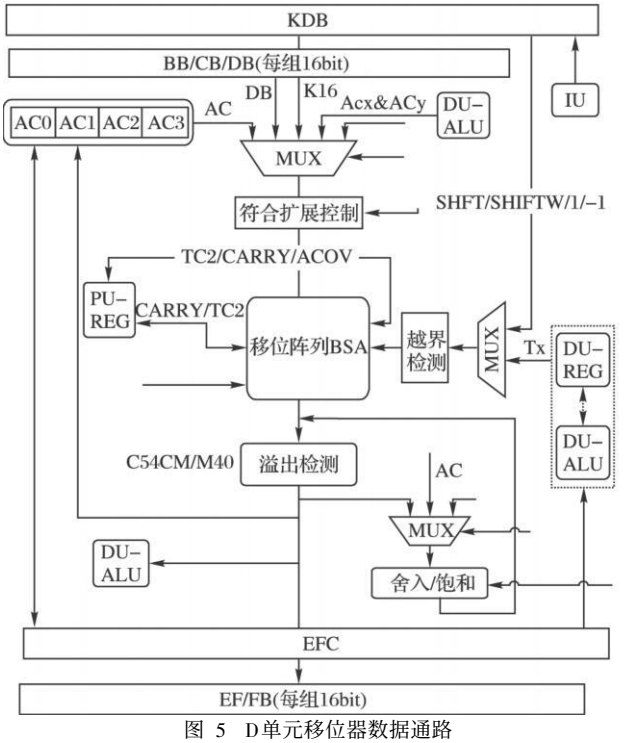

图 5　D单元移位器数据通路

3.3　移位器逻辑结构详细设计

如图 6所示为基于全译码桶形移位器的速度快的优势所设计的 40位改进型桶形移位器。Sh表示移位量, 是一个 6位的二进制补码, 其最高位为符号位, 用于指示当前移位是左移 (Sh[5] = 0)还是右移 (Sh[5] = 1), 若 Sh[5] = 0, 对 Sh[4:0]求反, 否则对其求补 (取反加 1)。为了节省一级反相器和加 1逻辑, 采用一种特殊的补码译码器, 对补码译码器而言, 不论 Sh[5]是"1"还是"0", 即不论当前是右移还是左移, 只需对 Sh[4:0]进行译码, 并且译码规则相同, 译码得到 33根控制线 S32~S0, 控制线置为高电平时有效, 本设计中不存在右移 0位的情况, 左移 0位用右移 32位实现, 所以 S0始终保持低电平, 并且同一时刻 S32~S1中只有一根为高电平, 分别控制移位器右移 1~32位。

当 Sh[4:0] = 5' b11111时, 如果其最高位 Sh[5] = 1, 则 Sh的值为 -1, 表示当前需右移 1位, 控制线 S1有效, 如果 Sh[5] = 0, 则 Sh的值为 31, 表示当前需左移 31位, 由于左移是用右移完成的, 即左移 31位相当于右移 32-31 = 1位, 同样控制线 S1有效; 同理, 当 Sh[4:0]为 5' b11110~5' b00000时, 不论 Sh[5]是"1"还是"0", 只需对 Sh[4:0]进行译码, 并且译码规则相同。显然, 根据不同功能选择对应的输入, 本文的改进型桶形移位器就可以实现 X型 DSP所有的 7种移位功能: 包括逻辑左移、逻辑右移、算术左移、算术右移、循环左移一位、循环右移一位以及并行右移一位。

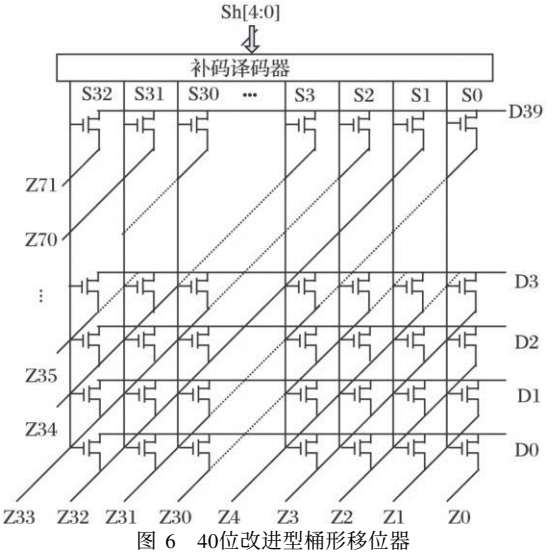

图 6　40位改进型桶形移位器

4　功能验证与逻辑综合

4.1　逻辑功能验证

功能验证从下列角度对 ALU与移位部件进行全面验证。

1) 功能验证层次性。它是从子系统级验证完整的角度阐述, 对于整个 ALU与移位部件来说, 此部件是由很多子单元组成, 子单元实际上又是由下一级子单元构成的。如图 7所示是 ALU与移位部件的层次化模块结构。

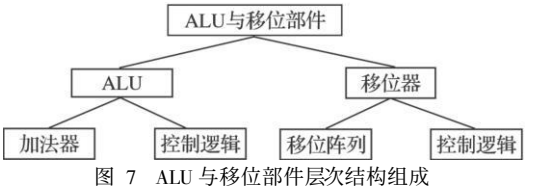

图 7　ALU与移位部件层次结构组成

功能验证从底层子单元开始, 直到顶层。首先确保各个底层子单元功能正确, 为其上一级子单元级功能仿真打下良好基础。

2) 功能验证完备性。验证需要包括相应部件全部功能,

移位处理单元可以完成 4大类功能: 逻辑移位、算术移位、循环移位和高低位双移位。此外, 该单元还可以通过预饱和处理将移位量限制在 [- 32, 31], 并能够检测和处理移位溢出。而 ALU则除了要验证逻辑和算术功能外, 还要完成比较数据大小、条件匹配、位操作、溢出饱和舍入等操作。

3) 数据验证完备性。验证需要涵盖所有可能的数据输入情况, 包括正常数据输入、边界数值输入和异常情况, 如溢出等。

4) 组合验证完备性。它是从指令组合的完备性的角度阐述, 验证需要包括所有指令组合。完成单指令验证后, 本文还要进行组合指令的验证, 包括内嵌默认并行的指令测试、用户自定义组合的指令测试和存在写后写, 写后读相关的多条指令组合测试。

本文采用 Mentor Graphics公司的 ModelSim 仿真器对 ALU与移位部件进行了部件级和系统级模拟验证。典型的系统级验证波形如图 8所示。

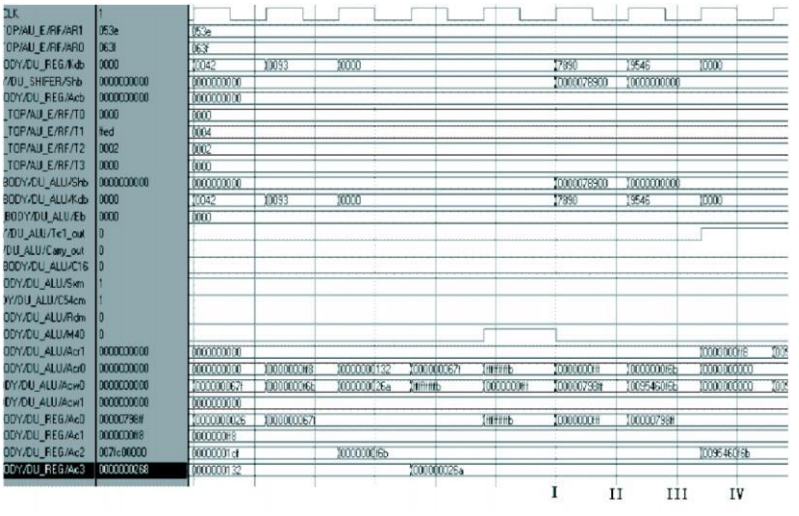

图 8 典型的系统级验证波形图

以指令 ADD K16 << #SHFT, [ACx,] ACy为例, 在游标 I~ II处, 其中 Acr0= 40' h00_0000_0FFF, Kdb= 16' h7890, 移位量 Dr2= 16' h0004, 即算术左移 4位, 在游标 II~ III处, 结果输出到累加器 Ac0= 40' h00_0007_98FF; 在游标 II~ III处, 其中 Acr0= 40' h00_0000_0F6B, Kdb= 16' h9546, 移位量 Dr2= 16' h0010, 即算术左移 16位, 在游标 III~ VI处, 结果输出到累加器 Ac2= 40' h00_9546_0F6B, 结果完全正确。

本文使用 Modelsim Code Coverage对所设计的 ALU与移位部件进行了代码覆盖率分析。为了得到代码覆盖率, 需要对源代码进行分解, 分解的过程就是在源代码的关键位增加断点, 记录该位置是否存在特殊结构, 然后用验证平台来对这些分解的代码进行模拟, 得到覆盖率信息。代码覆盖率分析结果表明, ALU与移位单元顶层模块以及各个小模块的代码覆盖率 (包括语句覆盖率、分支覆盖率、条件覆盖率、表达式覆盖率、翻转覆盖率)都在 95%以上。

4.2 逻辑综合

本文采用 Synopsys公司的 Design Compiler (Version: A-2004.12-SP2)工具, 基于 SMIC公司 0.13 μm CMOS工艺库 (特性: 温度 25℃, 工作电压 1.2 V), 在 200MHz工作频率下, 对 ALU与移位部件进行逻辑综合, 时序约束为最大输入延时 0.5 ns和最大输出延时 0.5 ns。

ALU与移位部件的综合结果如表 3所示。综合结果的数据表明, ALU与移位部件的设计面积为 71 042.980 4 μm^2、功耗为 4.282 1 mW、两个部件串行时最大关键路径延时为 4 ns, 工作频率可达 250MHz。若使用 0.09 μm 工艺库, 或采用全定制设计, 能满足 X型 DSP的性能标准。

5 结语

X型 DSP是我们自主研发的一款低功耗高性能 DSP, 特别适合数字通信等便携式应用。

本文对 X型 DSP的 CPU体系结构进行了深入研究, 在详细分析 X型 DSP的 ALU单元和移位器单元相关指令基础上, 分别对 ALU单元和移位器单元进行了设计与实现。本文从子系统级验证完整、功能验证完全、数据验证完备的角度出发, 对两个运算单元进行了功能验证, 在验证过程中进行了代码覆盖率分析。实验结果表明代码覆盖率 (包括语句覆盖率、分支覆盖率、条件覆盖率、表达式覆盖率、翻转覆盖率)都在 95%以上, 满足系统要求。

下一步工作主要是对 ALU进行全定制设计, 进一步降低 ALU和移位器的功耗, 提高工作频率。

表 3 ALU与移位部件综合结果

模块名称	关键路径延时 /ns	电路功耗 (动态功耗 /静态功耗) /uW	电路面积 /(μm^2)
ALU移位	4.00	4 282.1/2 632.6	71 042.980 4

参考文献:

[1] 德州仪器. TMS320VC55x系列 DSP的 CPU与外设 [M]. 彭启踪, 武乐琴, 张舰, 等译. 北京: 清华大学出版社, 2005.

[2] 德州仪器. TMS320VC55x系列 DSP指令系统、开发工具与编程指南 [M]. 李海森, 周天, 黎子盛, 等译. 北京: 清华大学出版社, 2007.

[3] HUANG K. Computer arithmetic: Principles, architecture and design[M]. New York: John Wiley and Sons, 1979.

[4] WASER S, FLYNN M. Introduction to arithmetic for digital systems designers[M]. Holt Rinehart and Winston, 1982.

[5] WEINBERGER A, SMITH J L. A logic for high-speed addition[EB/OL]. [2009-09-10]. http://www.acsel-lab.com/Projects/fast_adder/references/papers/Weinberger-CIA-1858.pdf.

[6] LING H. High speed binary adder[J]. IBM Journal of Research and Development, 1981, 25(3): 156.

[7] THARAKAN G M, KANG S M. A new design of a fast barrel switch network[J]. IEEE Journal of Solid State Circuits, 1992, 27(2): 217-22.

[8] 王桐. 高性能浮点 DSP中 ALU的研究与设计 [D]. 北京: 中国科学院研究生院, 2005.